

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **64-064227**
 (43)Date of publication of application : **10.03.1989**

(51)Int.CI. **H01L 21/52**
H01L 23/04
H01L 23/12
H01L 23/12

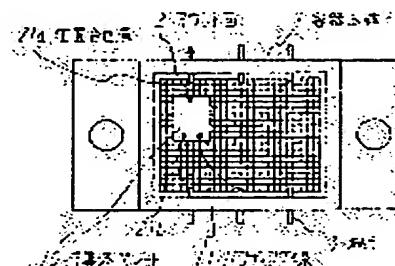
(21)Application number : **62-221525** (71)Applicant : **NEC CORP**
 (22)Date of filing : **03.09.1987** (72)Inventor : **KIMURA TOMOAKI**

(54) VESSEL FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To mount semiconductor pellets accurately at specified positions without dispersion by manual operation by respectively forming a plurality of alignment trenches to a mounting surface lengthwise and crosswise at intervals narrower than a lower limit in the semiconductor pellets.

CONSTITUTION: A mounting surface 2 for mounting semiconductor pellets plated with Au is set up to a vessel body 1 composed of a Kovar material, and plural kinds of the semiconductor pellets in different size are mounted singly or in a plurality. A plurality of alignment trenches 21a, 21b are shaped lengthwise and crosswise respectively to the mounting surface 2 in a section paper shape at regular intervals narrower than a lower limit lengthwise and crosswise in plural kinds of the semiconductor pellets. The semiconductor pellet 10 such as a GaAs semiconductor element is mounted with AnSn at a No.2 position from the left of the longitudinal alignment trench 21a and at a No.3 position from the upper section of the lateral alignment trench 21b, using the alignment trenches 21a, 21b as marks, and electrodes for the semiconductor pellet 10 and terminals 3 are connected by bonding wires 11.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

THIS PAGE BLANK (USPTO)

(6)

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭64-64227

⑫ Int. Cl.
 H 01 L 21/52
 23/04
 23/12

識別記号
 301

厅内整理番号
 A-8728-5F
 D-6835-5F
 F-7738-5F

⑬ 公開 昭和64年(1989)3月10日
 7738-5F 審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置用容器

⑮ 特願 昭62-221525
 ⑯ 出願 昭62(1987)9月3日

⑰ 発明者 木村 伴明 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑲ 代理人 弁理士 内原 音

明細書

発明の名称

半導体装置用容器

特許請求の範囲

寸法の異なる複数種類の半導体ペレットを単独または複数搭載するためのマウント面を備えた容器本体を有する半導体装置用容器において、前記マウント面に、前記複数種類の半導体ペレットのうちの縦・横方向の最小寸法より狭い所定の間隔で、縦方向及び横方向にそれぞれ複数の位置合せ溝を設けたことを特徴とする半導体装置用容器。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置用容器に関し、特に寸法の異なる半導体ペレットをマウント面に単独または複数マウントする構造の半導体装置用容器に関する。

〔従来の技術〕

従来、この種の半導体装置用容器は、第3図に示すように、例えば、コバー材よりなる容器本体1。の表面にはA止めつきが施されており、その半導体ペレットをマウントするためのマウント面2。は平滑な面となっていた。

このマウント面2。に半導体ペレットが所定の位置にマウント実装された後、ポンディング線により半導体ペレットの電極と端子3とが接続される構成となっていた。

〔発明が解決しようとする問題点〕

しかしながら、上述した従来の半導体装置用容器は、マウント面2。が平滑な面となっているので、このマウント面2。に半導体ペレットを手作業によりマウントする場合には、マウントの位置精度が悪く、所定の位置に対し、再現よくマウントすることが困難であり、このため端子3と半導体ペレットの電極との間の距離がばらついてポンディング線の長さがばらつく為、ポンディング線のインダクタンスが変動し半導体装置の

R F 特性にばらつきを生ずるという欠点があつた。

本発明の目的は、手作業でも半導体ペレットを所定の位置に精度よくマウントすることができ、R F 特性のばらつきを抑制することができる半導体装置用容器を提供する事にある。

〔問題点を解決するための手段〕

本発明の半導体装置用容器は、寸法の異なる複数種類の半導体ペレットを単独または複数搭載するためのマウント面を備えた容器本体を有する半導体装置用容器において、前記マウント面に、前記複数種類の半導体ペレットのうちの縦・横方向の最小寸法より狭い所定の間隔で、縦方向及び横方向にそれぞれ複数の位置合せ溝を設けて構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例を示す平面図である。

ある。

コバー材よりなるCan型の容器本体1aには、NiめっきおよびAuめっきを施されたマウント面2aが設けられ、このマウント面2aには、第1の実施例と同様に半導体ペレットのうちの縦・横方向の最小寸法より狭い一定間隔で、縦方向及び横方向にそれぞれ複数本の位置合せ溝21a、21bが同心の矩形パターンとして設けられている。

そして、この位置合せ溝21a、21bを目印にして半導体ペレットがマウントされる構成となっている。

〔発明の効果〕

以上説明したように本発明は、マウント面に、半導体ペレットのうちの最小寸法より狭い間隔で、縦方向及び横方向にそれぞれ複数本の位置合せ溝を設けた構成とすることにより、手作業でも、半導体ペレットを所定の位置にばらつきなく、かつ精度よくマウントすることができ、半導体装置のR F 特性のばらつきを低減することができる。

この実施例は超音周波用GaAs混成集積回路に適用した例である。

コバー材よりなる容器本体1には、Auめっきを施された半導体ペレットをマウントするためのマウント面2が設けられ、このマウント面2には、寸法の異なる複数種類の半導体ペレットを単独または複数マウントするようになっている。

このマウント面2には、複数種類の半導体ペレットのうちの縦・横方向の最小寸法より狭い一定の間隔で、縦方向及び横方向にそれぞれ複数本の位置合せ溝21a、21bが方眼状に設けられている。

そして、GaAs半導体素子等の半導体ペレット10が位置合せ溝21a、21bを目印にして、例えば縦の位置合せ溝21aの左から2本目、横の位置合せ溝21bの上から3本目の位置にAuSロでマウントされ、半導体ペレット10の電極と端子3とがボンディング線11により接続される構成となっている。

第2図は本発明の第2の実施例を示す平面図で

きる効果がある。

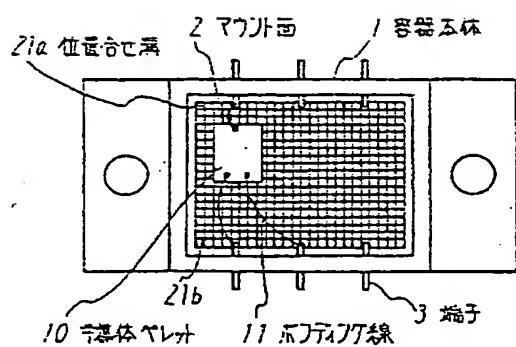
図面の簡単な説明

第1図及び第2図はそれぞれ本発明の第1及び第2の実施例を示す平面図、第3図は従来の半導体装置用容器の一例を示す平面図である。

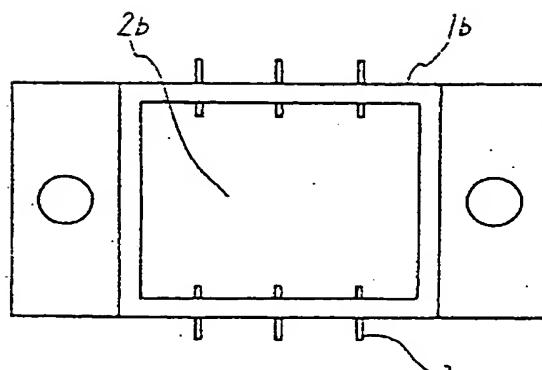
1. 1a、1b…容器本体、2. 2a、2b…マウント面、3. 3a…端子、10…半導体ペレット、11…ボンディング線、21a～21b…位置合せ溝。

代理人弁理士内原晋

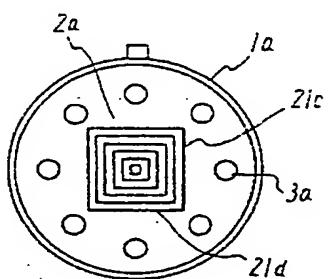
(3)



第一回



第 3 回



二二二

THIS PAGE BLANK (USPS)